

CLIPPEDIMAGE= JP02000315798A  
PAT-NO: JP02000315798A  
DOCUMENT-IDENTIFIER: JP 2000315798 A  
TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: November 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
OTANI, HISASHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEMICONDUCTOR ENERGY LAB CO LTD	N/A

APPL-NO: JP2000058493  
APPL-DATE: March 3, 2000

INT-CL (IPC): H01L029/786; G02F001/1368 ; G09F009/30 ;  
H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To implement a semiconductor device with enhanced TFT(thin film transistor) characteristics.

SOLUTION: When manufacturing an active-matrix liquid crystal display, a mask is used to add different concentrations of an impurity to the LDD(light doped drain) region 106 of the NTFT (N-channel TFT) in a driver circuit and to the LDD region 113 of the NTFT in a pixel portion. This makes it possible to obtain a liquid crystal display having a driver circuit with high-speed operation and a highly reliable pixel portion.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-315798

(P 2 0 0 0 - 3 1 5 7 9 8 A)

(43) 公開日 平成12年11月14日(2000.11.14)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H01L 29/786		H01L 29/78	612 B
G02F 1/1368		G09F 9/30	338
G09F 9/30	338	G02F 1/136	500
H01L 21/336		H01L 29/78	616 A
			619 B

審査請求 未請求 請求項の数12 O L (全21頁) 最終頁に続く

(21) 出願番号 特願2000-58493(P 2000-58493)

(22) 出願日 平成12年3月3日(2000.3.3)

(31) 優先権主張番号 特願平11-57754

(32) 優先日 平成11年3月4日(1999.3.4)

(33) 優先権主張国 日本(J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

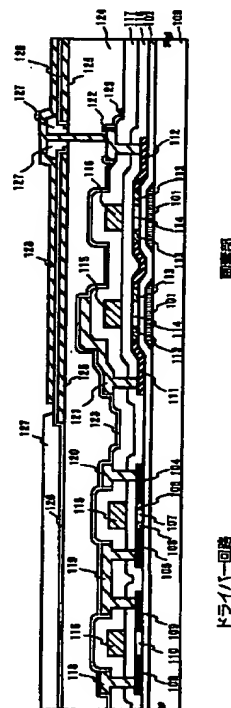
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 T F T特性の高い半導体装置を実現する。

【解決手段】 アクティブマトリクス型の液晶表示装置の作製方法において、ドライバー回路のN T F TのL D D領域106と画素部のN T F TのL D D領域113とで不純物濃度を異ならせる。マスクを用いて濃度の異なる不純物を添加する。こうして、高速動作を有するドライバー回路と信頼性の高い画素部とを備えた液晶表示装置を得ることができる。



## 【特許請求の範囲】

【請求項1】同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャンネル形成領域と、一対の高濃度不純物領域と、低濃度不純物領域とからなるNチャンネル型TFTを有し、前記ドライバー回路に含まれる少なくとも一部のNチャンネル型TFTの低濃度不純物領域に含まれる15族に属する元素の濃度は、前記画素部に含まれる少なくとも一部のNチャンネル型TFTの低濃度不純物領域に含まれる15族に属する元素の濃度と比較して高いことを特徴とする半導体装置。

【請求項2】同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャンネル形成領域と、一対の高濃度不純物領域と、低濃度不純物領域とからなるNチャンネル型TFTを有し、前記ドライバー回路に含まれる少なくとも一部のNチャンネル型TFTの高濃度不純物領域に含まれる15族に属する元素の濃度は、前記画素部に含まれる少なくとも一部のNチャンネル型TFTの高濃度不純物領域に含まれる15族に属する元素の濃度と比較して高いことを特徴とする半導体装置。

【請求項3】同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャンネル形成領域と、前記チャンネル形成領域に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、前記チャンネル形成領域を挟んで形成された一対の低濃度不純物領域と、前記低濃度不純物領域に接して形成された高濃度不純物領域とからなるNチャンネル型TFTを有し、前記ドライバー回路に含まれる少なくとも一部のNチャンネル型TFTの前記低濃度不純物領域は、前記ゲート絶縁膜を介して前記ゲート電極と重なり、前記画素部に含まれる少なくとも一部のNチャンネル型TFTの前記低濃度不純物領域は、前記ゲート電極と重ならないことを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記ドライバー回路のNチャンネル型TFTの前記低濃度不純物領域のチャンネル長方向の幅は、前記画素部のNチャンネル型TFTの前記低濃度不純物領域のチャンネル長方向の幅と異なることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記画素部は、遮蔽層と、前記遮蔽層に接して形成された絶縁膜と、前記絶縁膜に接して形成されたチャンネル形成領域と、前記チャンネル形成領域に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、前記チャンネル形成領域を挟んで形成された一対の低濃度不純物領域と、前記低濃度不純物領域に接して形成された高濃度不純物領域とからなるNチャンネル型TFTを有することを特徴とする半導体装置。

【請求項6】請求項5において、前記遮蔽層は、前記絶

縁膜を介して前記チャンネル形成領域及び前記低濃度不純物領域と重なることを特徴とする半導体装置。

【請求項7】請求項5または請求項6において、前記遮蔽層のチャンネル長方向の幅は、前記ゲート電極のチャンネル長方向の幅より広いことを特徴とする半導体装置。

【請求項8】同一基板上にドライバー回路と画素部とを有する半導体装置の作製方法であって、基板上に遮蔽層を形成する第1工程と、前記遮蔽層及び前記基板を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に半導体層を形成する第3工程と、前記半導体層に対して結晶化を行う第4工程と、前記結晶化された半導体層をパターニングしてドライバー回路の活性層と画素部の活性層とを形成する第5工程と、

前記活性層の上にゲート絶縁膜を形成する第6工程と、前記ドライバー回路の活性層に対して第1のマスクを用いて選択的に15族に属する元素を添加する第7工程と、

前記絶縁膜上に配線を形成する第8工程と、前記ドライバー回路及び前記画素部の活性層に対して前記配線をマスクとして選択的に15族に属する元素を添加する第9工程と、前記ドライバー回路及び前記画素部の活性層に対して第2のマスクを用いて選択的に15族に属する元素を添加する第10工程と、を有することを特徴とする半導体装置の作製方法。

【請求項9】請求項8において、前記第7工程で添加される15族に属する元素の濃度は、前記第9工程で添加される15族に属する元素の濃度よりも高く、前記第10工程で添加される15族に属する元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項10】同一基板上にドライバー回路と画素部とを有する半導体装置の作製方法であって、基板上に遮蔽層を形成する第1工程と、前記遮蔽層及び前記基板を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に半導体層を形成する第3工程と、前記半導体層に対して結晶化を行う第4工程と、前記結晶化された半導体層をパターニングしてドライバー回路の活性層と画素部の活性層とを形成する第5工程と、

前記活性層の上にゲート絶縁膜を形成する第6工程と、前記ドライバー回路の活性層に対して第1のマスクを用いて選択的に15族に属する元素を添加する第7工程と、活性層に添加された前記15族に属する元素を活性化させる第1の処理を行う第8工程と、

前記絶縁膜上に配線を形成する第9工程と、前記ドライバー回路及び前記画素部の活性層に対して前記配線をマスクとして選択的に15族に属する元素を添加する第10工程と、前記ドライバー回路及び前記画素部の活性層に対して第2のマスクを用いて選択的に15族に属する元素を添加する第11工程と、活性層に添加された前記15族に属する元素を活性化させる第2の処理を行う第12工程と、を有することを特徴とする半導体装置の作

製方法。

【請求項 11】請求項 8 乃至 10 のいずれか一において、前記遮蔽層は画素部となる領域のみに形成されることを特徴とする半導体装置の作製方法。

【請求項 12】請求項 8 乃至 11 のいずれか一において、前記第 2 のマスクは裏面露光により形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数十～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素部、画素部を制御するドライバー回路（以下、ドライバー回路と呼ぶ）、さらに外部からのデータ信号を処理するロジック回路（プロセッサ回路やメモリ回路など）等のあらゆる電気回路に TFT を応用する試みがなされている。

【0005】そして、これらの回路（画素部、ドライバー回路等）を一枚の基板上に集積化した構成（システム・オン・パネル）が知られている。画素領域において、画素はドライバー回路から送られた情報を保持する役割を果たしており、画素に接続されている TFT のオフ電流が十分に小さくないと、その情報を保持することができず、良好な表示を得ることはできない。

【0006】一方、ドライバー回路において、TFT は高移動度が要求されており、移動度が高ければ高いほど、回路構造を簡単にでき、且つ、表示装置を高速に動作させることができる。

【0007】以上のように、ドライバー回路と画素領域では、配置される TFT に要求される特性が異なる。即ち、画素領域に配置される TFT に要求される特性が異なる。即ち、画素領域に配置される TFT はそれほど高移動度は要求されないが、オフ電流が小さく、且つ、画素領域でその値が均一であることが要求される。逆に、周辺に配置されるドライバー回路の TFT はオフ電流よりも移動度が優先され、高移動度が要求される。

【0008】しかし、従来の作製方法を用いて、同一基板上に移動度を優先する TFT と、オフ電流の小さい TFT とを信頼性を損なうことなく生産性よく作製することは、困難であった。

【0009】

【発明が解決しようとする課題】以上のように、ドライバー回路やロジック回路を内蔵したシステム・オン・パネルを実現するためには、従来にない全く新しい構成が求められている。

【0010】本願発明は、その様な要求に答えるものであり、AM-LCD に代表される電気光学装置の各回路を機能に応じて適切な構造の TFT でもって形成し、高い信頼性を有する電気光学装置を提供することを課題とする。

【0011】

【課題を解決するための手段】本明細書で開示する発明の構成は、同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャネル形成領域と、一対の高濃度不純物領域と、低濃度不純物領域とからなる N チャネル型 TFT を有し、前記ドライバー回路に含まれる少なくとも一部の N チャネル型 TFT の低濃度不純物領域に含まれる 15 族に属する元素の濃度は、前記画素部に含まれる少なくとも一部の N チャネル型 TFT の低濃度不純物領域に含まれる 15 族に属する元素の濃度と比較して高いことを特徴とする半導体装置である。

【0012】また、他の発明の構成は、同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャネル形成領域と、一対の高濃度不純物領域と、低濃度不純物領域とからなる N チャネル型 TFT を有し、前記ドライバー回路に含まれる少なくとも一部の N チャネル型 TFT の高濃度不純物領域に含まれる 15 族に属する元素の濃度は、前記画素部に含まれる少なくとも一部の N チャネル型 TFT の高濃度不純物領域に含まれる 15 族に属する元素の濃度と比較して高いことを特徴とする半導体装置である。

【0013】また、他の発明の構成は、同一基板上に形成されたドライバー回路と画素部とを有する半導体装置において、前記ドライバー回路及び前記画素部は、チャネル形成領域と、前記チャネル形成領域に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、前記チャネル形成領域を挟んで形成された一対の低濃度不純物領域と、前記低濃度不純物領域に接して形成された高濃度不純物領域とからなる N チャネル型 TFT を有し、前記ドライバー回路に含まれる少なくとも一部の N チャネル型 TFT の前記低濃度不純物領域は、前記ゲート絶縁膜を介して前記ゲート電極と重なり、前記画素部に含まれる少なくとも一部の N チャネル型 TFT の前記低濃度不純物領域は、前記ゲート電

極と重ならないことを特徴とする半導体装置である。

【0014】また、上記構成において、前記ドライバー回路のNチャンネル型TFTの前記低濃度不純物領域のチャンネル長方向の幅は、前記画素部のNチャンネル型TFTの前記低濃度不純物領域のチャンネル長方向の幅と異なることを特徴としている。

【0015】また、上記構成において、前記画素部は、遮蔽層と、前記遮蔽層に接して形成された絶縁膜と、前記絶縁膜に接して形成されたチャンネル形成領域と、前記チャンネル形成領域に接して形成されたゲート絶縁膜と、前記ゲート絶縁膜に接して形成されたゲート電極と、前記チャンネル形成領域を挟んで形成された一対の低濃度不純物領域と、前記低濃度不純物領域に接して形成された高濃度不純物領域とからなるNチャンネル型TFTを有することを特徴としている。

【0016】また、上記構成において、前記遮蔽層は、前記絶縁膜を介して前記チャンネル形成領域及び前記低濃度不純物領域と重なることを特徴としている。

【0017】また、上記構成において、前記遮蔽層のチャンネル長方向の幅は、前記ゲート電極のチャンネル長方向の幅より広いことを特徴としている。

【0018】また、上記構成を実現するための発明の構成は、同一基板上にドライバー回路と画素部とを有する半導体装置の作製方法であって、基板上に遮蔽層を形成する第1工程と、前記遮蔽層及び前記基板を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に半導体層を形成する第3工程と、前記半導体層に対して結晶化を行う第4工程と、前記結晶化された半導体層をパターンニングしてドライバー回路の活性層と画素部の活性層とを形成する第5工程と、前記活性層の上にゲート絶縁膜を形成する第6工程と、前記ドライバー回路の活性層に対して第1のマスクを用いて選択的に15族に属する元素を添加する第7工程と、前記絶縁膜上に配線を形成する第8工程と、前記ドライバー回路及び前記画素部の活性層に対して前記配線をマスクとして選択的に15族に属する元素を添加する第9工程と、前記ドライバー回路及び前記画素部の活性層に対して第2のマスクを用いて選択的に15族に属する元素を添加する第10工程と、を有することを特徴とする半導体装置の作製方法である。

【0019】また、上記構成において、前記第7工程で添加される15族に属する元素の濃度は、前記第9工程で添加される15族に属する元素の濃度よりも高く、前記第10工程で添加される15族に属する元素の濃度よりも低いことを特徴としている。

【0020】また、他の発明の構成は、同一基板上にドライバー回路と画素部とを有する半導体装置の作製方法であって、基板上に遮蔽層を形成する第1工程と、前記遮蔽層及び前記基板を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に半導体層を形成する第3工程と、前記半導体層に対して結晶化を行う第4工程と、前記結晶

化された半導体層をパターンニングしてドライバー回路の活性層と画素部の活性層とを形成する第5工程と、前記活性層の上にゲート絶縁膜を形成する第6工程と、前記ドライバー回路の活性層に対して第1のマスクを用いて選択的に15族に属する元素を添加する第7工程と、活性層に添加された前記15族に属する元素を活性化させる第1の処理を行う第8工程と、前記絶縁膜上に配線を形成する第9工程と、前記ドライバー回路及び前記画素部の活性層に対して前記配線をマスクとして選択的に15族に属する元素を添加する第10工程と、前記ドライバー回路及び前記画素部の活性層に対して第2のマスクを用いて選択的に15族に属する元素を添加する第11工程と、活性層に添加された前記15族に属する元素を活性化させる第2の処理を行う第12工程と、を有することを特徴とする半導体装置の作製方法である。

【0021】また、上記構成において、前記遮蔽層は画素部となる領域のみに形成されることを特徴としている。

【0022】また、上記構成において、前記第2のマスクは裏面露光により形成されることを特徴としている。

【0023】

【発明の実施の形態】本願発明の実施形態について、図1を用いて以下に説明する。図1は同一基板上にドライバー回路と画素部とを一体形成したAM-LCDの断面図を示している。なお、ここではドライバー回路を構成する基本回路としてCMOS回路を示し、画素TFTとしてはダブルゲート構造のTFTを示している。勿論、トリプルゲート構造やシングルゲート構造としてもよい。

【0024】図1において、100は耐熱性を有する基板であり、ガラス基板、石英基板、プラスチック基板、シリコン基板、セラミックス基板、金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を主成分とする絶縁膜）を設けても構わない。なお、マスク数を低減するために裏面露光を用いる場合は、透光性を有する基板が望ましい。

【0025】101は遮蔽層であり、その上に下地膜が形成される。遮蔽層は画素部に設けられ、TFTのチャンネル形成領域を光または電磁波等から保護する。なお、遮蔽層の材料としては遮光性（吸光度＝3以上）を有していればどのような材料を用いても構わない。ただし、後のプロセス温度に耐えうる耐熱性を有する材料であることが望ましい。

【0026】102は下地膜として設けた酸化珪素膜であり、その上にドライバーTFTの活性層、画素TFTの活性層となる半導体層が形成される。そして、活性層を覆ってゲート絶縁膜103が形成され、その上にゲート電極が形成される。なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電氣的

接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「配線」という文言に「電極」は常に含まれているものとする。

【0027】図1において、ドライバーTFTの活性層は、Nチャネル型TFT（以下、NTFTという）のソース領域104、ドレイン領域105、LDD（ライトドープドレイン）領域106およびチャネル形成領域107、並びにPチャネル型TFT（以下、PTFTという）のソース領域108、ドレイン領域109およびチャネル形成領域110で形成される。また、ドライバーTFTのLDD領域106の幅（チャネル長方向）は0.05~0.5 $\mu$ m（好ましくは0.1~0.3 $\mu$ m）に形成されている。加えて、本発明においてはドライバーTFTのNチャネル型TFTのLDD領域106をゲート電極115と一部重なせた構造（GOLD構造）として、ホットキャリア耐性を向上させている。

【0028】また、画素TFT（ここではNTFTを用いる。）の活性層は、ソース領域またはドレイン領域111、112、LDD領域113およびチャネル形成領域114で形成される。また、画素TFTのLDD領域113の幅は、ドライバーTFTのLDD領域106の幅と異なる。なお、画素TFTのLDD領域113はゲート電極115と重ならない構造（LDD構造）として、オフ電流を低減させて信頼性を向上させている。

【0029】なお、本明細書中において、ゲート電圧が印加されるLDD領域を有する構造をGOLD構造と呼ぶ。一方、ゲート電圧が印加されないLDD領域のみを有する構造をLDD構造と呼ぶ。

【0030】加えて、本発明においては、同一基板上に形成されたAM-LCDに代表される電気光学装置における各回路の機能に応じた濃度で不純物を添加して各回路のTFTの低濃度不純物領域を形成することを特徴とする。

【0031】ドライバーTFTのNチャネル型TFTのLDD領域106には、半導体層に対して15族に属する元素が添加され、本願発明では、このLDD領域に添加される15族に属する元素の濃度、例えばリンが $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度で存在することを特徴としている。ドライバーTFTのLDD領域のリン濃度は画素TFTのLDD領域におけるリン濃度の2~10倍とすることが望ましい。このような濃度とすることで、ドライバーTFTの移動度のさらなる向上が実現可能となる。

【0032】一方、画素TFTのLDD領域113には、ドライバーTFTのNチャネル型TFTのLDD領域106と比較して15族に属する元素を低濃度に添加することを特徴としている。このようにすることで、画素TFTのさらなるオフ電流の低下が実現可能となる。

【0033】また、ここでは、各TFTのゲート絶縁膜

116を同じ膜厚の同一絶縁膜としたが、特に限定されない。例えば、回路特性に応じて同一基板上に異なるゲート絶縁膜を有するTFTが少なくとも二種類以上存在する構成としてもよい。

【0034】ゲート電極115の材料としては、導電性を有していればどのような材料でも使用可能であるが、代表的には、導電性を有する珪素膜（例えばリンドープシリコン膜、ボロンドープシリコン膜等）や金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した金属膜（窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）でも良い。また、これらを自由に組み合わせて積層しても良い。

【0035】また、上記金属膜をゲート電極115の材料として用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を窒化珪素膜で覆った構造が有効である。

【0036】次に、117は第1層間絶縁膜であり、珪素を含む絶縁膜（単層または積層）で形成される。珪素を含む絶縁膜としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜（酸素よりも窒素の含有量の方が多い）、窒化酸化珪素膜（窒素よりも酸素の含有量の方が多い）を用いることができる。

【0037】そして、第1層間絶縁膜117にはコンタクトホールが設けられ、ドライバーTFTのソース配線118、120、ドレイン配線119、および画素TFTのソース配線またはドレイン配線121、122が形成される。その上にはパッシベーション膜123、第2層間絶縁膜124が形成される。その上には保持容量を形成するために設けられた透明導電膜125と、誘電体となる絶縁膜126が積層形成される。なお、透明導電膜125は固定電位にしておくか、フローティング状態（電気的に独立した状態）にしておく。さらに、平坦化のための第3層間絶縁膜127を形成し、コンタクトホールを設けた後、画素電極128が形成される。

【0038】また、ここでは保持容量を透明導電膜125、絶縁膜126、画素電極128とで形成したが、特に限定されない。例えば、容量配線を設ける構成、高濃度不純物領域112を延在させて上部電極とする構成、第2層間絶縁膜124上に導電材料からなる遮蔽膜を形成し上部電極とする構成を用いることができる。

【0039】また、必要に応じて、各TFTの上にゲート配線と同様の材料を用いた遮蔽膜を設ける構成としても良いし、対向基板に遮蔽膜を設けるような構造としても良い。

【0040】第2層間絶縁膜124や第3層間絶縁膜127としては、比誘電率の小さい樹脂膜が好ましい。樹脂膜としては、ポリイミド膜、アクリル膜、ポリアミド膜、BCB（ベンゾシクロブテン）膜などを用いること

ができる。

【0041】また、絶縁膜としては、珪素を主成分とする絶縁膜、または遮蔽膜の酸化膜が好ましい。絶縁膜126の形成方法としてはスパッタ法、高圧酸化法、陽極酸化法等の公知な技術を用いて形成すればよい。

【0042】また、画素電極128としては、透過型AM-LCDを作製するのであればITO膜に代表される透明導電膜を、反射型AM-LCDを作製するのであればアルミニウム膜に代表される反射率の高い金属膜を用いればよい。

【0043】なお、図1では画素電極128がドレイン電極122を介して画素TFTのドレイン領域112と電気的に接続されているが、画素電極128とドレイン領域112とが直接的に接続するような構造としても良い。

【0044】また、ここでは、画素部のみに遮蔽層を形成した例を示したが、ドライバ回路のうち、サンプリング回路などは、オフ電流の小さいTFTを用いる方が望ましいので、遮蔽層を形成してTFTを形成することが望ましい。

【0045】以上のような構造でなるAM-LCDは、移動度の高いGOLD構造のNTFTを備えたドライバ回路と、オフ電流の低いLDD構造のNTFTを備えた画素部とを備えた点に特徴がある。こうすることで、同一基板上に移動度を優先するTFTと、オフ電流の小さいTFTとを機能に応じた回路に適用して、高い駆動能力と高い信頼性を有する電気光学装置を実現することが可能である。

【0046】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0047】

【実施例】【実施例1】本実施例では、「発明の実施の形態」で説明した図1の構造を実現するための作製工程について説明する。説明には図2～5を用いる。

【0048】まず、基板として透光性を有する石英基板200を用意し、その上に遮光性を有する材料層を形成した後、パターニングによって遮蔽層201とアライメントマーク（図示しない）とを同時形成した。この遮蔽層は、画素部に形成し、後の裏面露光工程で画素部におけるLDD領域の幅を決定するため重要である。

【0049】遮蔽層201としては、金属膜（例えばタングステン膜、タンタル膜、モリブデン膜、チタン膜等）や、前記金属膜をシリサイド化したシリサイド膜、窒化した金属膜（窒化タンタル膜、窒化タングステン膜、窒化チタン膜等）等を用いる。また、これらを自由に組み合わせて積層しても良い。なお、段差によるカバレッジ不良を防ぐために遮蔽層はテーパー形状とすることが好ましい。

【0050】次いで、200nm厚の酸化珪素膜（下地

膜とも呼ぶ）201と50nm厚の非晶質珪素膜203aとを大気解放しないうまま連続的に成膜した。（図2（A））こうすることで非晶質珪素膜203aの下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。

【0051】なお、本実施例では非晶質珪素（アモルファスシリコン）膜を用いたが、他の半導体膜であっても構わない。微結晶珪素（マイクロクリスタルシリコン）膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、下地膜及び半導体膜の形成手段としては、P

CVD法、LP-CVD法またはスパッタ法等を用いることができる。

【0052】次に、非晶質珪素膜の結晶化を行う。本発明においては、如何なる公知の結晶化技術、例えば熱結晶化、赤外光または紫外光の照射による結晶化、触媒元素を用いた熱結晶化、触媒元素を用いたレーザー結晶化等を用いてよい。本実施例では結晶化手段として、特開平9-312260号公報に記載された技術を用いた。同公報に記載された技術は、珪素膜の結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄、銅から選ばれた元素を用いている。

【0053】まず、非晶質珪素膜上に酸化珪素膜を形成し、パターニングして開口部を有するマスク204を形成する。非晶質珪素膜203aとマスクとなる酸化珪素膜とを大気解放しないうまま連続的に成膜することが好ましい。そして、露呈した非晶質珪素膜上にニッケルを含んだ層を形成し、脱水素化処理を行った後、500～650℃、4～16時間の熱処理を行い結晶化させる。この結晶化の過程ではニッケルが接した非晶質珪素膜の部分が最初に結晶化し、そこから横方向（図2（B）中に示した矢印の方向）へと結晶化が進行する。本実施例では、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した後、450℃、1時間の脱水素化処理を行った後に600℃、12時間の熱処理を行って結晶化し結晶質珪素膜203bを形成した。（図2（B））

【0054】なお、酸化珪素膜からなるマスク204を設けておくことで、活性層が有機物で汚染されることを防げる。次いで、そのままマスク204を用いて、15族に属する元素（本実施例ではリン）の添加工程を行う。添加するリンの濃度は $5 \times 10^{14} \sim 1 \times 10^{20} \text{ atoms/cm}^2$ （好ましくは $1 \times 10^{15} \sim 5 \times 10^{19} \text{ atoms/cm}^2$ ）が好ましい。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。こうしてリンが添加された領域（以下、リンドープ領域という）203cが形成された。（図2（C））

【0055】次いで、500～650℃の熱処理を2～



16時間加え、珪素膜の結晶化に用いた触媒元素（本実施例ではニッケル）のゲッタリングを行う。ゲッタリング作用を奏するためには熱履歴の最高温度から±50℃程度の温度が必要であるが、結晶化のための熱処理が550～600℃で行われるため、500～650℃の熱処理で十分にゲッタリング作用を奏することができる。本実施例では600℃、8時間の熱処理を加えることによってニッケルが矢印（図2（D）に示す）の方向に移動し、リンドープ領域203cに含まれるリンによってゲッタリングされて捕獲された。こうしてゲッタリング領域（リンドープ領域203bに対応する領域）が形成される。これにより203dで示した領域に含まれるニッケルの濃度は $2 \times 10^{17}$  atoms/cm<sup>3</sup>以下（好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>以下）にまで低減される。また、このゲッタリング領域は、後のパターニングの際に除去される。

【0056】次いで、マスク204を除去した後、形成された結晶質珪素（ポリシリコン）膜をパターニングして、ドライバートFTの半導体層205a、205b、画素TFTの半導体層206を形成した。（図3（A））

【0057】なお、ドライバートFTおよび画素TFTの半導体層を形成する前後に、結晶質珪素膜に対してTFTのしきい値電圧を制御するための不純物元素（リンまたはボロン）を添加しても良い。この工程はNTFTまたはPTFTのみに行って良いし、双方に行っても良い。

【0058】次に、プラズマCVD法またはスパッタ法によりゲート絶縁膜207を形成する。このゲート絶縁膜207はTFTのゲート絶縁膜として機能することになる絶縁膜であり、膜厚は50～200nmとする。本実施例では70nm厚の酸化珪素膜を用いた。また、酸化珪素膜のみでなく酸化珪素膜の上に窒化珪素膜を設けた積層構造とすることもできるし、酸化珪素膜に窒素を添加した酸化窒化珪素膜を用いても構わない。

【0059】ゲート絶縁膜207を形成したら、ドライバ回路のNTFTのチャネル形成領域210、及び画素部、ドライバ回路のPTFT上にレジストマスク208a～cを設けた後、15族に属する元素（本実施例ではリン）を添加してドライバートFTのNTFTの低濃度不純物領域209を形成する。（図2（B））この低濃度不純物領域209に添加されるリンの濃度は $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>となるように調節する。この時のリンの濃度がドライバ回路のNTFTのLD領域における濃度を決定する。

【0060】また、リンの添加工程は、質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。本実施例では水素で1～10%に希釈

したフォスフィンをドーピングガスとして用い、ドーズ量 $4 \times 10^{13}$  atoms/cm<sup>2</sup>、加速電圧は80kVとした。

【0061】次に、レジストマスク208a～cを除去した後、不純物の活性化を行った。活性化処理としては、不活性雰囲気または酸素雰囲気中で300～700℃の温度範囲で2時間程度の熱処理で十分であるが、700～1150℃ここでは、800℃、2時間の加熱処理を行い、十分な活性化とともに結晶性の改善を行った。この工程において、大気中または酸素雰囲気中に行えば活性化と同時に熱酸化される。なお、本実施例では2回に分けて活性化を行うが、後に形成するゲート電極が活性化の熱温度に耐えられる材料であれば、1回の活性化で済むため工程数を低減できる。

【0062】こうして活性化工程を終了したら、次に導電膜211を形成した。（図2（C））次いで、パターニングを行いドライバートFTのゲート配線212a（NTFT側）、画素TFTのゲート配線212cを形成する。なお、ゲート配線212cは画素TFTがダブルゲート構造であるためゲート配線を2本記載しているが、実際には同一配線である。また、ドライバートFTのPTFT全体を覆った導電層212aを形成する。

【0063】また、本実施例では配線212a～cとして、下層から窒化タンタル膜／タンタル膜／窒化タンタル膜（または下層から窒化タンタル膜／タンタル膜）という積層膜を用いた。勿論、「発明の実施の形態」で説明した他の導電膜を用いることも可能であることは言うまでもない。また、本実施例では、ゲート配線の膜厚は300nmとした。

【0064】次いで、配線212a～cをマスクとして、15族に属する元素を添加し、自己整合的に低濃度不純物領域214が形成された。（図2（D））この低濃度不純物領域214に添加される不純物の濃度、ここではリンの濃度が $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>となるように調節する。ただし、この工程は先のリンの添加工程よりも低いドーズ量 $5 \times 10^{12} \sim 1 \times 10^{13}$  atoms/cm<sup>2</sup>で添加する。この時、添加された15族に属する元素の濃度が画素部のLDD領域の濃度を決定する。

【0065】また、図3（B）で示した工程と同様に、リンの添加工程は質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0066】次に、裏面露光によりレジストマスクを形成する。（図4（A））この時、画素部においては、遮蔽層201がマスクとなりレジストマスク217c、217dを形成する一方、ドライバートFTのNTFTにおいては、ゲート電極がマスクとなりレジストマスク217bを形成する。また、PTFTにおいては、導電層がマスクとなりレジストマスク217aを形成する。

【0067】また、本実施例では裏面露光を用いてレジ



ストマスク 217 の形成を行ったが特に限定されず、フォトマスクを用いたレジストマスクを用いてもよい。

【0068】こうして裏面露光により得られたレジストマスク 217 a~c をマスクとして不純物のドーピングを高濃度に行う。(図 4 (B)) 不純物領域 219~223 に添加されるリンの濃度は  $5 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> となるように調節する。

【0069】この工程により CMOS 回路を形成する NTF T のソース領域 218、LDD 領域 225、チャネル形成領域 226 が画定する。また、画素 T F T のソース領域 227、ドレイン領域 228、LDD 領域 229 a、229 b、チャネル形成領域 230 a、230 b が画定する。

【0070】このように、3 回に分けて、15 族に属する元素(本実施例ではリン)を添加して、各不純物領域を形成する。

【0071】この後、レジストマスク 224 a、224 b を形成してパターニングを行い P T F T のゲート電極 225 を形成する。このレジストマスク 224 b は、CMOS 回路の P T F T となる領域以外を覆っている。そして、このレジストマスクをそのまま用いて 13 族に属する元素(本実施例ではボロン)の添加を行い、ソース領域 227、ドレイン領域 228 を形成する。(図 4 (C)) 具体的には、 $1 \times 10^{19} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup> の濃度でボロンが添加されるように調節する。本実施例では水素で 1~10% に希釈されたジボランを用いた。

【0072】この工程により CMOS 回路を形成する P T F T のソース領域 227、ドレイン領域 228、チャネル形成領域 226 が画定する。

【0073】勿論、ボロンの添加工程も質量分離を行うイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0074】こうして全ての不純物領域を形成し終えたら、レジストマスク 224 a、224 b を除去する。そして、添加した不純物の活性化をレーザーアニール、熱アニール、ファーンেসアニール、ランプアニール処理等により行う。ここでは、大気雰囲気中においてエキシマレーザー光を用いてエネルギー密度  $187 \text{ mJ/cm}^2$  のレーザーアニール処理を行った。また、熱アニールによる活性化を行った場合、添加されたリンのゲッタリング作用によって活性化と同時にチャネル形成領域における触媒元素の低減も図ることができる。ただし、ゲッタリング作用を奏するためには熱履歴の最高温度から  $\pm 50^\circ\text{C}$  程度の温度が必要である。

【0075】次いで、第 1 層間絶縁膜 249 を形成する。本実施例では、プラズマ CVD 法により形成した  $1 \mu\text{m}$  厚の酸化珪素膜を用いた。そして、コンタクトホー

ルを形成した後、ソース配線 230、232、233、ドレイン配線 231、234 を形成した。これらの配線はアルミニウムを主成分とする導電膜をチタン膜で挟んだ積層膜で形成した。(図 5 (A))

【0076】この時、ドレイン配線 231 は CMOS 回路を形成する N T F T および P T F T に共通の配線として用いられる。

【0077】その後、パッシベーション膜 235 を形成する。パッシベーション膜 235 としては、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、またはこれらの絶縁膜と酸化珪素膜との積層膜を用いることができる。本実施例では  $300 \text{ nm}$  厚の窒化珪素膜をパッシベーション膜として用いた。

【0078】なお、本実施例では窒化珪素膜を形成する前処理として、水素を含むガス(本実施例ではアンモニアガス)を用いたプラズマ処理を行うことは有効である。この前処理によりプラズマによって活性化した(励起した)水素が活性層(半導体層)内に閉じこめられるため、効果的に水素終端が行われる。

【0079】さらに、水素を含むガスに加えて亜酸化窒素ガスを加えると、発生した水分によって被処理体の表面が洗浄され、特に大気中に含まれるボロン等による汚染を効果的に防ぐことができる。

【0080】パッシベーション膜 235 を形成したら、開口率を向上させるために、本実施例では、画素表示領域のパッシベーション膜を選択的に除去した。その上に第 2 層間絶縁膜 236 として  $1 \mu\text{m}$  厚のアクリル膜を形成した。そして、その上に導電膜 237、本実施例では I T O 膜を形成してパターニングを行い、保持容量の下部電極を形成し、その上に誘電体となる酸化珪素からなる絶縁膜 238 をスパッタ法により積層形成した。なお、導電膜 237 は固定電位にしておくか、フローティング状態(電気的に独立した状態)にしておく。

【0081】次に、第 3 層間絶縁膜 239 として再び  $1 \mu\text{m}$  厚のアクリル膜を形成してパターニングを行い、保持容量を形成する領域のアクリル膜を選択的に除去し、且つ、同時にコンタクトホールを形成し、I T O 膜でなる画素電極 240 を形成した。保持容量は、導電膜 237 と、絶縁膜 238 と、画素電極 240 とで形成される。なお、絶縁膜 238 は薄いため、薄い有機樹脂膜を積層形成して保護してもよい。こうして図 5 (C) に示すような構造の AM-LCD が完成する。

【0082】このように本願発明は、ドーズ量の異なる不純物の添加を 3 回以上行って、各回路の機能に適した N T F T の構造及び L D D 領域の不純物濃度を形成し、移動度の高い G O L D 構造の N T F T を少なくとも一つ以上備えたドライバ回路と、オフ電流の低い L D D 構造の N T F T を備えた画素部とを形成する点に特徴がある。

【0083】図 6 は、AM-LCD の回路構成の一例を

示す。本実施例のAM-LCDは、ソース信号線側ドライバー回路601、ゲート信号線側ドライバー回路

(A) 607、ゲート信号線側ドライバー回路(B) 611、プリチャージ回路612、画素部606を有している。

【0084】ソース信号線側ドライバー回路601は、シフトレジスタ回路602、レベルシフト回路603、バッファ回路604、サンプリング回路605を備えている。

【0085】また、ゲート信号線側ドライバー回路(A) 607は、シフトレジスタ回路608、レベルシフト回路609、バッファ回路610を備えている。ゲート信号線側ドライバー回路(B) 611も同様な構成である。

【0086】具体的には、高移動度を優先する回路であるシフトレジスタ回路602、608のNTFTは本発明のGOLD構造とし、レベルシフト回路603、609バッファ回路604、610、サンプリング回路605、画素部606のNTFTは、本発明のLDD構造とした。このように、ドライバー回路においても、各回路に応じてGOLD構造またはLDD構造とすることが望ましい。また、ドライバー回路の下方または上方に遮蔽層を形成する構成としてもよく、特にサンプリング回路においては安定なTFT特性が得られるので効果的である。

【0087】本実施例の構成とすることによって、同一基板上に移動度を優先するTFTと、オフ電流の小さいTFTとを機能に応じた回路に適用して、高い駆動能力と高い信頼性を有する電気光学装置を実現することができた。

【0088】また、ここではトップゲート型TFTを用いた例を示したが、本発明はTFT構造に関係なく適用することができ、例えば逆スタガ型TFTに適用することも可能である。

【0089】また、本実施例の作製工程に従うと、最終的なTFTの活性層(半導体層)は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。その特徴について以下に説明する。

【0090】上記作製工程に従って形成した活性層は、微視的に見れば複数の針状又は棒状の結晶(以下、棒状結晶と略記する)が集まって並んだ結晶構造を有する。このことはTEM(透過型電子顕微鏡法)による観察で容易に確認できた。

【0091】また、電子線回折及びエックス線(X線)回折を利用すると活性層の表面(チャンネルを形成する部分)が、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することを確認できた。本出願人がスポット径約1.5 $\mu$ mの電子線回折写真を詳細に観察した結果、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持

っていることが確認された。

【0092】また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM(高分解能透過型電子顕微鏡法)により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0093】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0094】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0095】特に結晶軸(結晶面に垂直な軸)が<110>軸である場合、{211}双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 $\Sigma$ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$ 値が小さいほど整合性の良い粒界であることが知られている。

【0096】本出願人が本実施例を実施して得た結晶質珪素膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど(90%以上、典型的には95%以上)が $\Sigma 3$ の対応粒界、即ち{211}双晶粒界であることが判明した。

【0097】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を $\theta$ とすると、 $\theta=70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0098】本実施例の結晶質珪素膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 $70.5^\circ$ の角度で連続しており、その事からこの結晶粒界は{211}双晶粒界であるという結論に辿り着いた。

【0099】なお、 $\theta=38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、このような他の結晶粒界も存在した。

【0100】このような対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得た結晶質珪素膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこのような対応粒界を形成しうる。

【0101】この様な結晶構造(正確には結晶粒界の構造)は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶

粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ単位を非常に作りにくい構成となっている。従って、このような結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0102】また、さらに、700～1150℃という高い温度での熱処理工程（本実施例における熱酸化工程またはゲッタリング工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0103】この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質珪素膜のスピン密度は少なくとも  $5 \times 10^{17}$  spins/cm<sup>3</sup> 以下（好ましくは  $3 \times 10^{17}$  spins/cm<sup>3</sup> 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0104】以上の事から、本実施例を実施することで得られた結晶質珪素膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0105】（TFTの電気特性に関する知見）本実施例で作製したTFTは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFT（但し、活性層の膜厚は30nm、ゲート絶縁膜の膜厚は100nm）からは次に示す様なデータが得られている。

【0106】（1）スイッチング性能（オン／オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFTおよびPチャネル型TFTともに60～100mV/decade（代表的には60～85mV/decade）と小さい。

（2）TFTの動作速度の指標となる電界効果移動度（ $\mu_{FE}$ ）が、Nチャネル型TFTで200～650cm<sup>2</sup>/Vs（代表的には300～500cm<sup>2</sup>/Vs）、Pチャネル型TFTで100～300cm<sup>2</sup>/Vs（代表的には150～200cm<sup>2</sup>/Vs）と大きい。

（3）TFTの駆動電圧の指標となるしきい値電圧（ $V_{th}$ ）が、Nチャネル型TFTで-0.5～1.5V、Pチャネル型TFTで-1.5～0.5Vと小さい。

【0107】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0108】（回路特性に関する知見）次に、本実施例を実施して形成したTFTを用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFTのゲート絶縁膜の膜厚：30nm及び50nm

TFTのゲート長（チャネル長）：0.6μm

【0109】このリングオシレータによって発振周波数を調べた結果、最大値で約1GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲート絶縁膜の膜厚30nm、ゲート長0.6μm、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0110】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本実施例のTFTがMOSFETに匹敵する、若しくは凌駕する性能（電気特性）を有することを示している。

【0111】〔実施例2〕本実施例では、実施例1において結晶質珪素膜の形成に他の手段を用いた場合について図7に説明する。

【0112】具体的には、赤外光または紫外光の照射による結晶化処理（以下、レーザー結晶化と呼ぶ）を用いる。レーザー結晶化は基板にかけるストレスが少なく、短時間で処理することができるため有効である。レーザーのガスとしてXeCl、ArF、KrF等を用いたパルスレーザーやArレーザー等の連続発振レーザーや連続発光エキシマレーザー等を用いて照射する。なお、レーザー結晶化の条件（レーザービームの形状、レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等）は半導体膜の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。

【0113】まず、基板701に酸化シリコン膜702を設け、その上に非晶質珪素膜703を形成した。（図7（A））次に、500℃、1時間の脱水素工程の後、レーザー結晶化処理を行い、結晶質珪素膜705を形成した。（図7（B））

【0114】本実施例と実施例1と異なっている点は、触媒元素を用いることなくレーザー結晶化を行っている点である。

【0115】以降の工程は実施例1に従えば、本願発明のTFTの構成を得ることができる。ただし、実施例1では触媒元素の低減処理（ゲッタリング）を行っているが、本実施例においては特に必要ない。

【0116】〔実施例3〕本実施例では、実施例1において結晶質珪素膜の形成に他の手段を用いた場合について図8に説明する。なお、簡略化のため、ドライバー回路の領域のみ示し、画素部の遮蔽層は図示しない。

【0117】具体的には、非晶質珪素膜の結晶化に特開平7-130652号公報（米国特許番号08/329,644に対応）に記載された技術を用いる。同公報に記載された技術は、結晶化を促進する触媒元素（代表的にはニッケル）を非晶質珪素膜の表面に保持させて結

晶化を行う技術である。

【0118】まず、基板801に酸化シリコン膜802を設け、その上に非晶質珪素膜803を形成した。さらに重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布して、ニッケル含有層804を形成した。

(図8(A))

【0119】次に、500℃、1時間の脱水素工程の後、500～650℃で4～12時間の熱処理を行い、結晶質珪素膜805を形成した。(図8(B)) こうして得られた結晶質珪素膜805は非常に優れた結晶性を有した。本願発明のTFTの構成を得るためには、以降の工程は実施例1に従えば良い。

【0120】なお、本実施例の構成は実施例1～2のいずれの構成とも自由に組み合わせることが可能である。

【0121】〔実施例4〕本実施例では、実施例1において結晶質珪素膜及びゲート絶縁膜の形成に他の手段を用いた場合について図9に説明する。なお、簡略化のため、ドライバ回路の領域のみ示し、画素部の遮蔽層は図示しない。

【0122】ここでは、少なくとも700～1100℃程度の耐熱性を有する基板が必要であり、石英基板901を用いた。そして、実施例1及び3で示した技術を用い、結晶質半導体膜が形成され、これをTFTの活性層にするために島状にパターニングして半導体層902、903を形成した。そして、半導体層902、903を覆ってゲート絶縁膜904を、酸化珪素膜を主成分とする膜で形成した。本実施例では、プラズマCVD法で窒化酸化珪素膜を70nmの厚さで形成した。(図9(A))

【0123】そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。本実施例では950℃、30分とした。尚、処理温度は700～1100℃の範囲で選択すればよく、処理時間も10分～8時間の間で選択すれば良かった。

【0124】その結果、本実施例の条件では半導体層905、906とゲート絶縁膜904との界面で熱酸化膜が形成され、ゲート絶縁膜907が形成された。(図9(B)) また、ハロゲン雰囲気での酸化の過程で、ゲート絶縁膜904と半導体層902、903に含まれる不純物で、特に金属不純物元素はハロゲンと化合物を形成し、気相中に除去することができた。

【0125】以上の工程で作製されたゲート絶縁膜907は、絶縁耐圧が高く半導体層905、906とゲート絶縁膜907の界面は非常に良好なものであった。本願発明のTFTの構成を得るためには、以降の工程は実施例1に従えば良い。

【0126】なお、本実施例の構成は実施例1～3のいずれの構成とも自由に組み合わせることが可能である。

【0127】〔実施例5〕本実施例では、実施例1において結晶質珪素膜中の触媒元素の低減に他の手段を用い

た場合について説明する。

【0128】実施例1においては、リン元素を選択的に添加した後に加熱処理を行い結晶質珪素膜中の触媒元素の低減するゲッタリングを行ったが、リン元素を全面に添加してもよいことは勿論である。本実施例では、高温の硫酸を用いた液相を接触させることによりゲッタリングする方法を示す。

【0129】まず、実施例1の工程に従って図3(A)の状態を得た。次いで、基板ごと300℃に加熱した液相中(本実施例では硫酸溶液中)に浸し、結晶化に用いたニッケルを除去または低減する。なお、硫酸と半導体層を接触させる方法は特に限定されない。

【0130】このようにして、液相による触媒元素の低減処理を行うことで、触媒元素の濃度を短時間で低減することができる。本願発明のTFTの構成を得るためには、以降の工程は実施例1に従えば良い。

【0131】なお、本実施例の構成は実施例1～4のいずれの構成とも自由に組み合わせることが可能である。

【0132】〔実施例6〕本実施例では、実施例1での透明電極125に代えて、導電性を有する遮蔽層(ブラックマスクとも呼ぶ)301を用いた例について図10に示す。この遮蔽層は外部からの光を遮るとともに、電界遮蔽の効果も有している。

【0133】まず、実施例1に従い、第2の層間絶縁膜を形成する。次いで、チタンを主成分とする金属膜をスパッタ法により成膜した後、パターニングを行い画素TFTを覆うブラックマスク301を形成する。第2の層間絶縁膜に有機樹脂をもちいた場合、金属膜との密着性を向上させるためCF<sub>4</sub>ガスを用いたプラズマ処理を施してもよいし、第2の層間絶縁膜上にバッファ層となる薄い絶縁膜をスパッタ法等により形成してもよい。

【0134】次いで、ブラックマスク301上に実施例1と同様にスパッタ法により酸化珪素膜302を形成する。ブラックマスク301は保持容量の下部電極となり、酸化珪素膜302は保持容量の誘電体となる。なお、ブラックマスク301は固定電位にしておくか、フローティング状態(電氣的に独立した状態)にしておく。

【0135】そして、後で画素電極とドレイン電極のコンタクト形成を容易とするために、選択的に酸化珪素膜302を除去した後、有機樹脂膜を形成する。その後、コンタクトホールを形成すると同時に、ブラックマスク上方の有機樹脂膜を選択的に除去して、第3層間絶縁膜304を形成する。この第3層間絶縁膜304は、ブラックマスク301と画素電極303との間に生じるショート(短絡)を効果的に防ぐ役目を果たしている。

【0136】最後に透明導電膜からなる画素電極303を形成する。この画素電極303が、保持容量の上部電極となる。

【0137】このような構成とすることで、十分な保持

容量の形成が可能となり、TFTの光劣化をも防止できる。

【0138】また、本実施例では、スパッタ法による酸化珪素膜を用いたが、ブラックマスクを高圧酸化または陽極酸化等の酸化方法により酸化して、その酸化膜を誘電体とするとスループットが向上する。

【0139】なお、本実施例の構成は実施例1～5のいずれの構成とも自由に組み合わせることが可能である。

【0140】〔実施例7〕本実施例では、具体的な画素部の構成（トリプルゲート構造）の一例を図11に示す。遮蔽層401は半導体層402の下層に設けられ、半導体層402上にゲート配線403が設けられている。本発明においては、遮蔽層401の線幅は、ゲート配線403の線幅より広くする。404はドレイン電極、405はソース配線、406は絶縁層、407は画素電極である。なお、画素電極409は模様で示したが、簡略化のため、画素電極407、408、410は太線で囲まれた領域で示した。

【0141】また、図11に対応する断面図を図12に示した。また、図12の符号は図11と同一のものを用いた。なお、透明導電膜501は固定電位にしておくか、フローティング状態（電氣的に独立した状態）にしておく。保持容量は、透明導電膜501と、絶縁膜502と、画素電極407で構成されている。

【0142】本実施例は、実施例1がダブルゲート構造であったのに対して、トリプルゲート構造としたのみであり、基本的な構造は同一である。従って、図11及び図12の構造を得るには、実施例1で示した作製方法を用いればよい。

【0143】なお、本実施例の構成は実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0144】〔実施例8〕本実施例では、実施例1に示した作製工程で基板上にTFTを形成し、実際にAM-LCDを作製した場合について説明する。

【0145】実施例1に従い図5（C）の状態が得られたら、画素電極240上に配向膜を80nmの厚さに形成する。次に、対向基板としてガラス基板上にカラーフィルタ、透明電極（対向電極）、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング処理を行い、シール材（封止材）を用いてTFTが形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0146】なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角1インチ以下のAM-LCDのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0147】次に、以上のようにして作製したAM-LCDの外観を図13に示す。図13に示すようにアクティブマトリクス基板と対向基板とが対向し、これらの基

板間に液晶が挟まれている。アクティブマトリクス基板は基板1000上に形成された画素部1001、走査線側ドライバー回路1002、信号線側ドライバー回路1003を有する。

【0148】走査線側ドライバー回路1002、信号線側ドライバー回路1003はそれぞれ走査線1030、信号線1040によって画素部1001に接続されている。これらドライバー回路1002、1003はCMOS回路で主に構成されている。

10 【0149】画素部1001の行ごとに走査線が形成され、列ごとに信号線1040が形成されている。走査線1030、信号線1040の交差点近傍には、画素TFT1010が形成されている。画素TFT1010のゲート電極は走査線1030に接続され、ソースは信号線1040に接続されている。さらに、ドレインには画素電極1060、保持容量1070が接続されている。

20 【0150】対向基板1080は基板全面にITO膜等の透明導電膜が形成されている。透明導電膜は画素部1001の画素電極1060に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。対向基板1080には必要に応じて配向膜や、ブラックマスクや、カラーフィルタが形成されている。

30 【0151】アクティブマトリクス基板側の基板にはFPC1031が外部出力端子1005に取り付けられ、ドライバー回路と外部出力端子を接続する配線1007、1008が形成されている。ビデオ信号の処理回路、タイミングパルス発生回路、 $\gamma$ 補正回路、メモリ回路、演算回路などの回路をシリコン基板上に形成して構成されたICチップを設けてもよい。

40 【0152】上記実施例によって作製された液晶表示装置には、TN液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0153】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミックス）表示装置に本願発明を適用することも可能である。

50 【0154】なお、本実施例は実施例1～7のいずれの

実施例とも自由に組み合わせることが可能である。

【0155】〔実施例10〕本実施例では、本願発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。

【0156】図14にアクティブマトリクス型ELディスプレイに適用した例を示す。

【0157】図14はアクティブマトリクス型ELディスプレイの回路図である。11は表示領域を表しており、その周辺にはX方向周辺ドライバー回路12、Y方向周辺ドライバー回路13が設けられている。また、表示領域11の各画素は、スイッチ用TFT14、コンデンサ15、電流制御用TFT16、有機EL素子17を有し、スイッチ用TFT14にX方向信号線18a（または18b）、Y方向信号線20a（または20b、20c）が接続される。また、電流制御用TFT16には、電源線19a、19bが接続される。

【0158】本実施例のアクティブマトリクス型ELディスプレイでは、X方向周辺ドライバー回路12、Y方向周辺ドライバー回路13に用いられるTFTの構造がGOLD構造であり、スイッチ用TFT14や電流制御用TFT16のTFT構造がLDD構造となっている。

【0159】図15（A）は本願発明を用いたEL表示装置の上面図である。図15（A）において、4010は基板、4011は画素部、4012はソース線側ドライバー回路、4013はゲート線側ドライバー回路であり、それぞれのドライバー回路は配線4014～4016を経てFPC4017に至り、外部機器へと接続される。

【0160】このとき、少なくとも画素部、好ましくはドライバー回路及び画素部を囲むようにしてカバー材6000、シーリング材（ハウジング材ともいう）7000、密封材（第2のシーリング材）7001が設けられている。

【0161】また、図15（B）は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上にドライバー回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）4022及び画素部用TFT4023（但し、ここではEL素子への電流を制御するTFTだけ図示している。）が形成されている。

【0162】本願発明は、ドライバー回路用TFT4022、画素部用TFT4023に際して用いることができる。

【0163】本願発明を用いてドライバー回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化

合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0164】次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0165】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0166】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0167】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0168】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一

括でエッチングしても良い。この場合、層間絶縁膜 4026 と絶縁膜 4028 が同じ樹脂材料であれば、コンタクトホールを良好なものとすることができる。

【0169】このようにして形成された EL 素子の表面を覆って、パッシベーション膜 6003、充填材 6004、カバー材 6000 が形成される。

【0170】さらに、EL 素子部を囲むようにして、カバー材 6000 と基板 4010 の内側にシーリング材が設けられ、さらにシーリング材 7000 の外側には密封材（第 2 のシーリング材）7001 が形成される。

【0171】このとき、この充填材 6004 は、カバー材 6000 を接着するための接着剤としても機能する。充填材 6004 としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。この充填材 6004 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0172】また、充填材 6004 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0173】スペーサーを設けた場合、パッシベーション膜 6003 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0174】また、カバー材 6000 としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiber glass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6004 として PVB や EVA を用いる場合、数十  $\mu\text{m}$  のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0175】但し、EL 素子からの発光方向（光の放射方向）によっては、カバー材 6000 が透光性を有する必要がある。

【0176】また、配線 4016 はシーリング材 7000 および密封材 7001 と基板 4010 との隙間を通過して FPC 4017 に電氣的に接続される。なお、ここでは配線 4016 について説明したが、他の配線 4014、4015 も同様にしてシーリング材 7000 および密封材 7001 の下を通過して FPC 4017 に電氣的に接続される。

【0177】なお、本実施例は実施例 1～7 のいずれの実施例とも自由に組み合わせることが可能である。

【0178】〔実施例 10〕本願発明は従来の MOSFET 上に層間絶縁膜を形成し、その上に TFT を形成する際に用いることも可能である。即ち、半導体回路上に

反射型 AM-LCD が形成された三次元構造の半導体装置を実現することも可能である。

【0179】また、前記半導体回路は SIMOX、Smart-Cut（SOITEC 社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などの SOI 基板上に形成されたものであっても良い。

【0180】なお、本実施例を実施するにあたって、実施例 1～8 のいずれの構成を組み合わせても構わない。

【0181】〔実施例 11〕本願発明を実施して形成された CMOS 回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 EL ディスプレイ、アクティブマトリクス型 EC ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本願発明を実施できる。

【0182】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 16、図 17 及び図 18 に示す。

【0183】図 16（A）はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。本発明を画像入力部 2002、表示部 2003 やその他の信号制御回路に適用することができる。

【0184】図 16（B）はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明を表示部 2102 やその他の信号制御回路に適用することができる。

【0185】図 16（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。本発明は表示部 2205 やその他の信号制御回路に適用できる。

【0186】図 16（D）はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 等を含む。本発明は表示部 2302 やその他の信号制御回路に適用することができる。

【0187】図 16（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 等を含む。なお、このプレーヤーは記録媒体として DVD（Digital Versatile Disc）、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2402 やその他の信号制御回路に適用することができる。



【0188】図16(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502やその他の信号制御回路に適用することができる。

【0189】図17(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0190】図17(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0191】なお、図17(C)は、図17(A)及び図17(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図17(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0192】また、図17(D)は、図17(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図17(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0193】ただし、図17に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0194】図18(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906

等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

【0195】図18(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0196】図18(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0197】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~7のどのような組み合わせからなる構成を用いても実現することができる。

20 【0198】

【発明の効果】本願発明を用いることにより、AM-LCDに代表される電気光学装置において、同一基板上に移動度を優先するTFTと、オフ電流の小さいTFTとを機能に応じた回路に適用して、高い駆動能力と高い信頼性を有する電気光学装置を実現することが可能である。

【図面の簡単な説明】

【図1】 AM-LCDの断面構造を示す図。

【図2】 AM-LCDの作製工程を示す図。

【図3】 AM-LCDの作製工程を示す図。

【図4】 AM-LCDの作製工程を示す図。

【図5】 AM-LCDの作製工程を示す図。

【図6】 AM-LCD回路配置を示す図。

【図7】 AM-LCDの作製工程を示す図。

【図8】 AM-LCDの作製工程を示す図。

【図9】 AM-LCDの作製工程を示す図。

【図10】 AM-LCDの断面構造を示す図。

【図11】 画素部の上面構造を示す図。

【図12】 画素部の断面構造を示す図。

【図13】 AM-LCDの外観を示す図。

【図14】 ELパネル回路図。

【図15】 ELパネル上面図及び断面図。

【図16】 電子機器の一例を示す図。

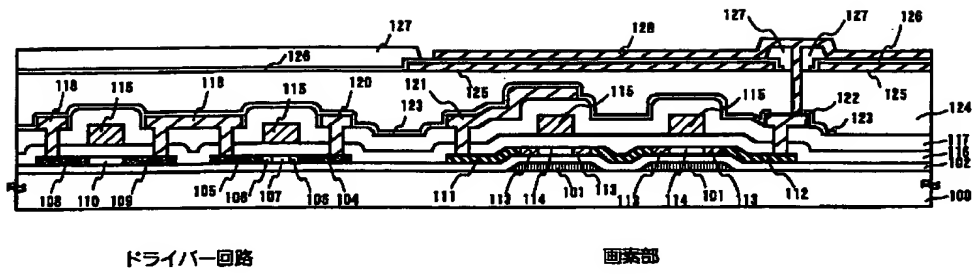
【図17】 電子機器の一例を示す図。

【図18】 電子機器の一例を示す図。

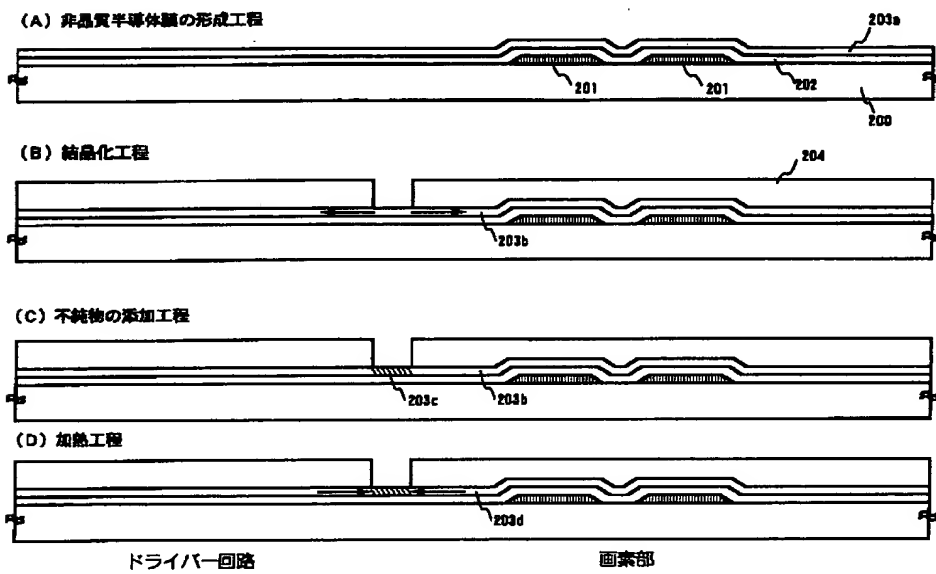
30

40

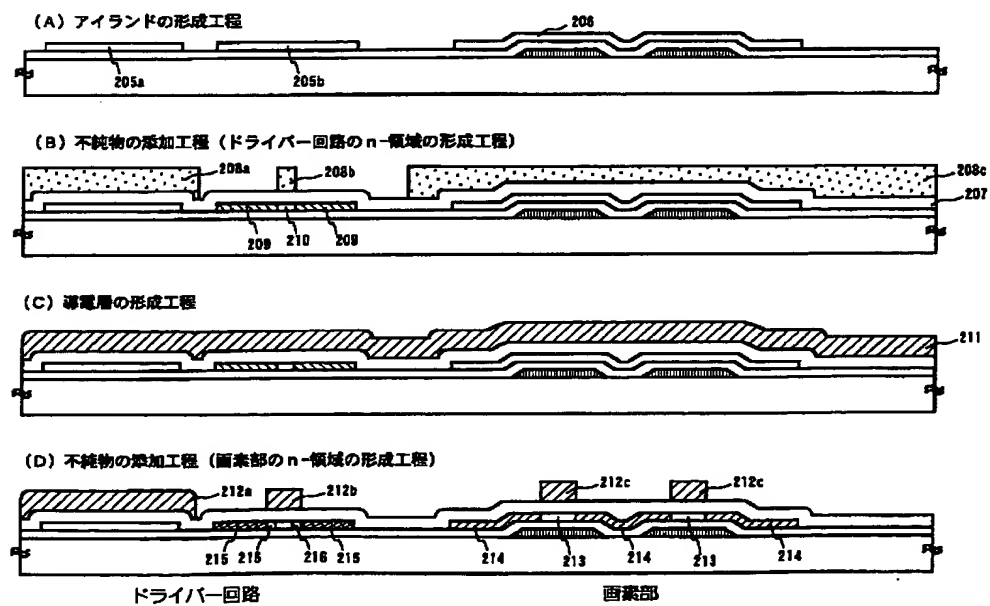
【図 1】



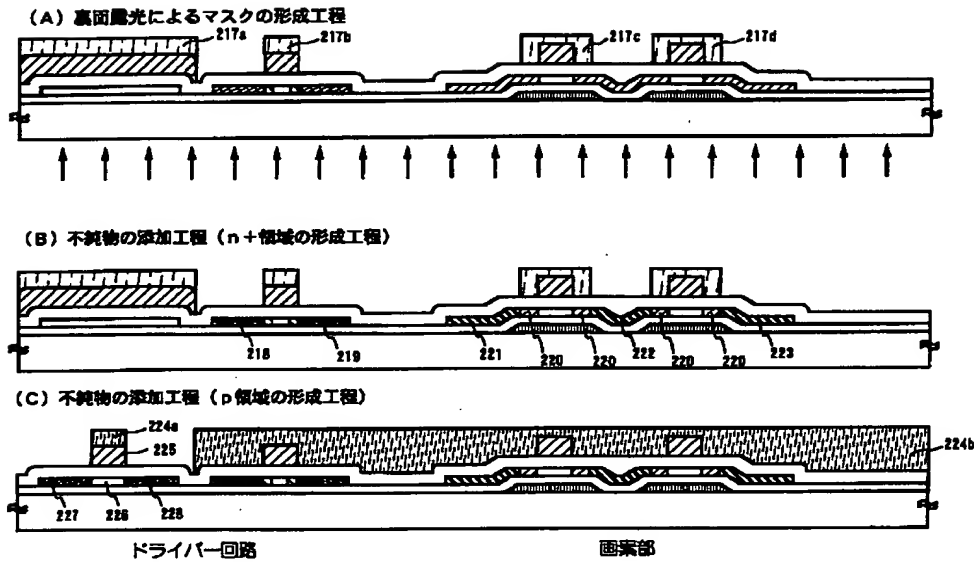
【図 2】



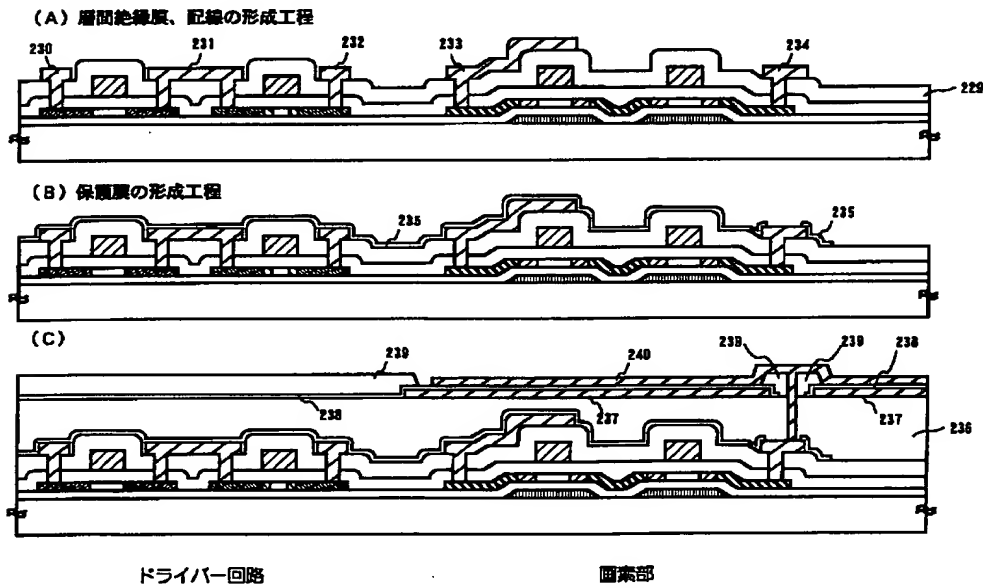
【図 3】



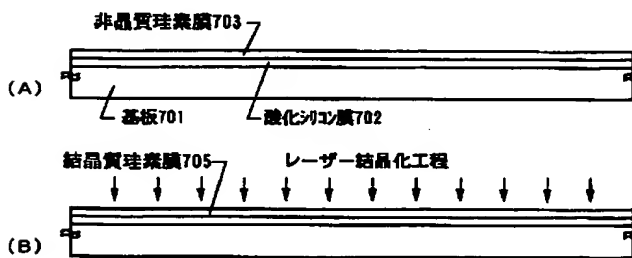
【図 4】



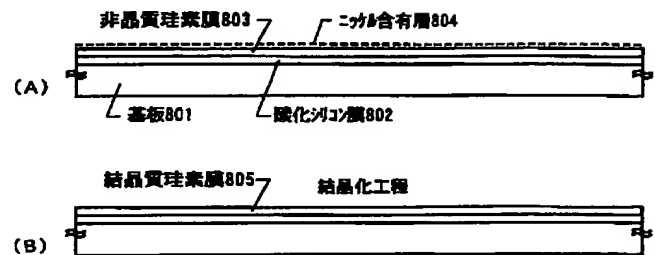
【図 5】



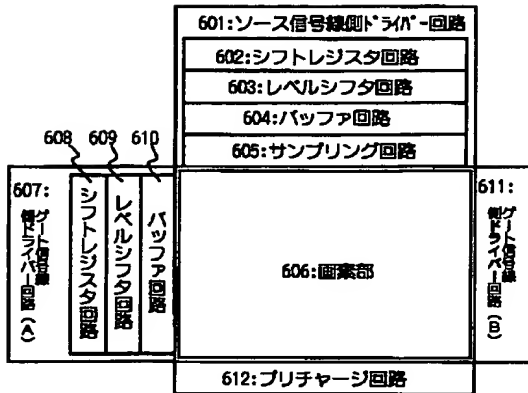
【図 7】



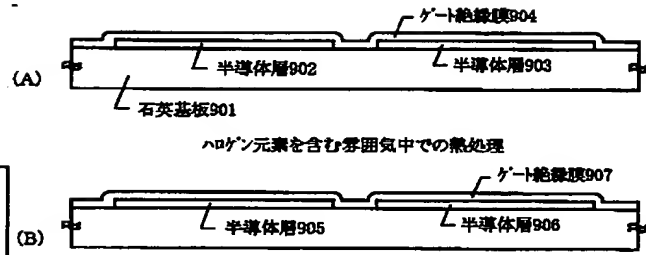
【図 8】



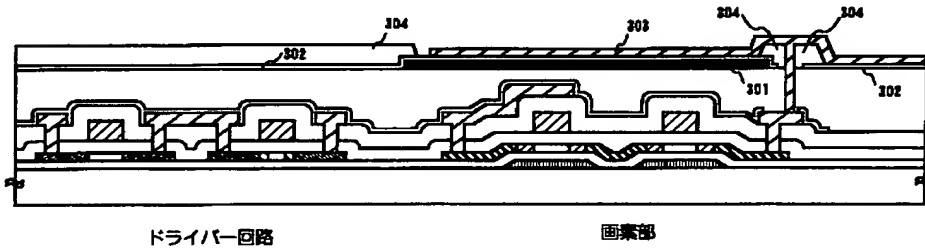
【図 6】



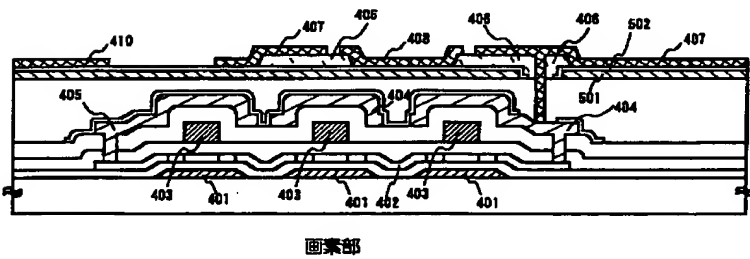
【図 9】



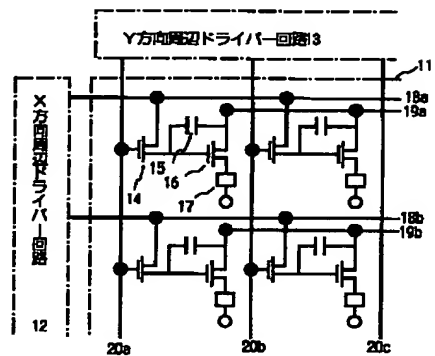
【図 10】



【図 12】



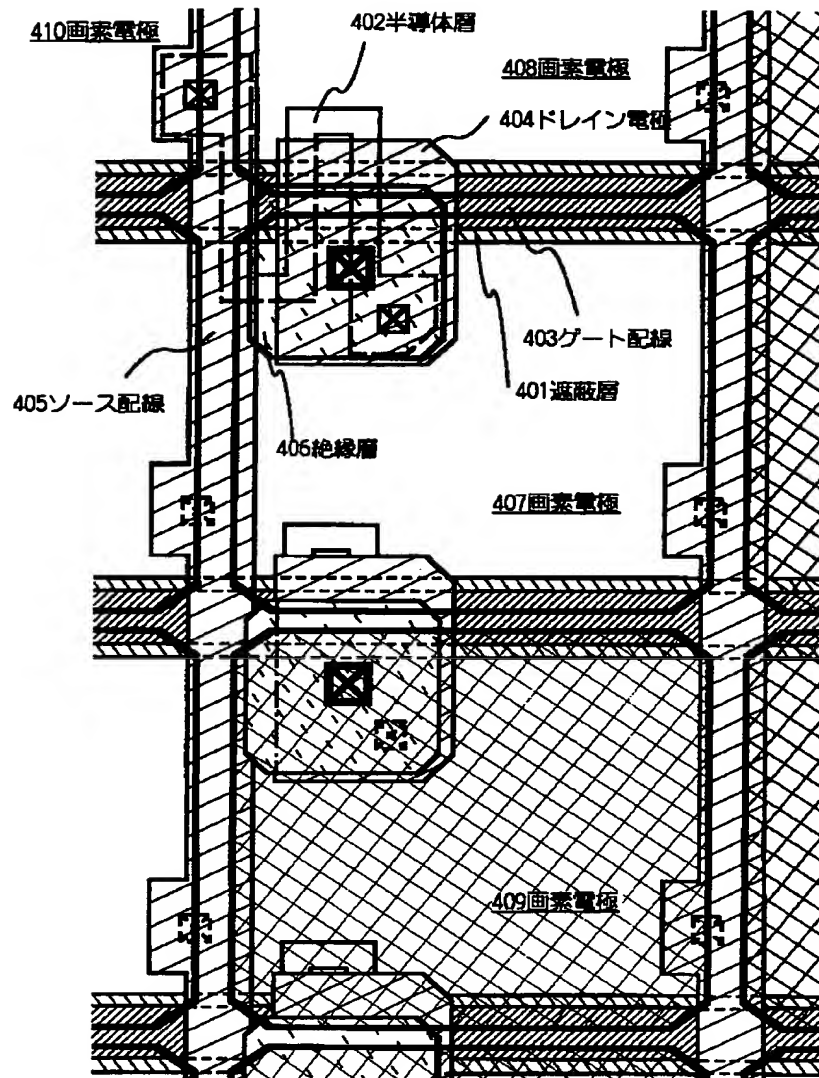
【図 14】



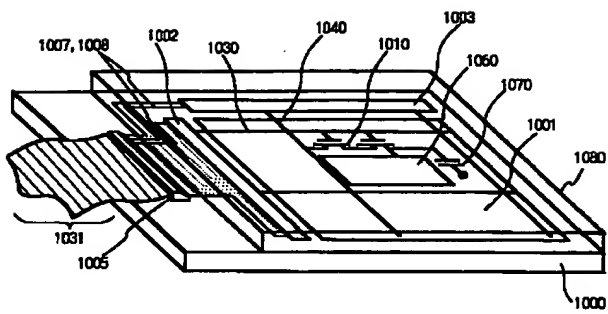
11: 表示領域 12: X方向周辺ドライバ回路 13: Y方向周辺ドライバ回路  
 14: X方向用TFT 15: X方向用TFT 16: 電流制御用TFT 17: 有機EL素子  
 18a, 18b: X方向信号線 19a, 19b: 電源線 20a, 20b, 20c: Y方向信号線

EL/パネル回路図

【図 11】



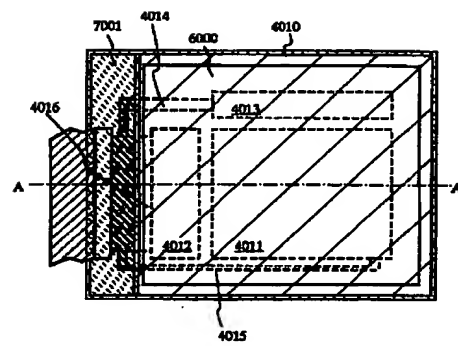
【図 13】



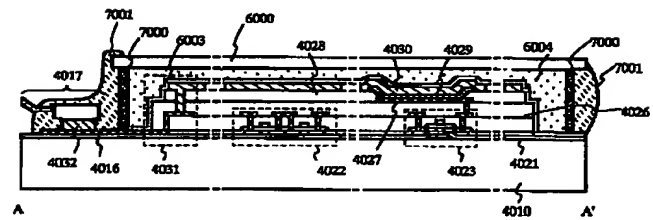
アクティブマトリクス基板

1000: 基板  
1001: 画素部  
1002: 画素部  
1003: 画素部  
1010: 画素部  
1030: 走査線  
1031: FPC  
1040: 信号線  
1060: 画素部  
1070: 保持電圧  
1080: 対向基板  
1005: 外部入出力端子  
1007, 1008: 配線

【図 15】

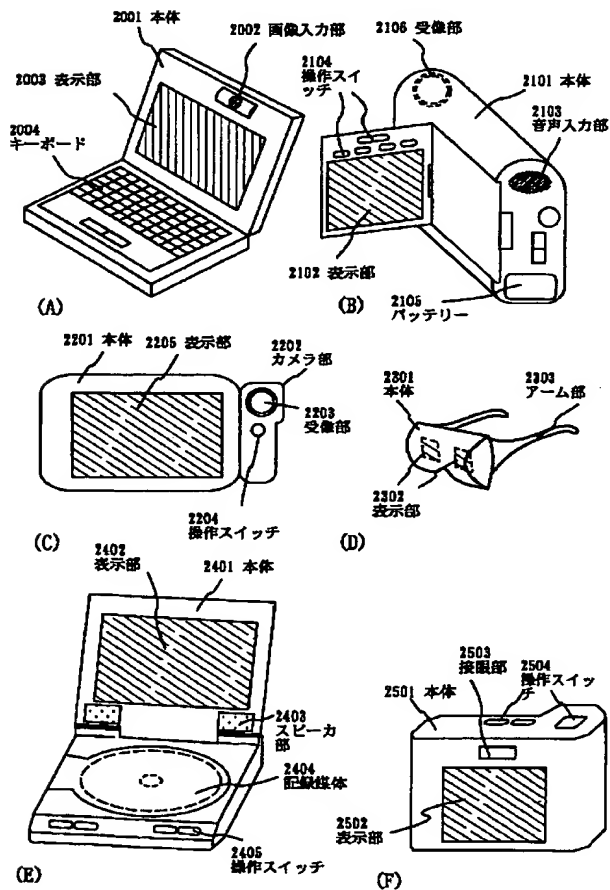


(A)

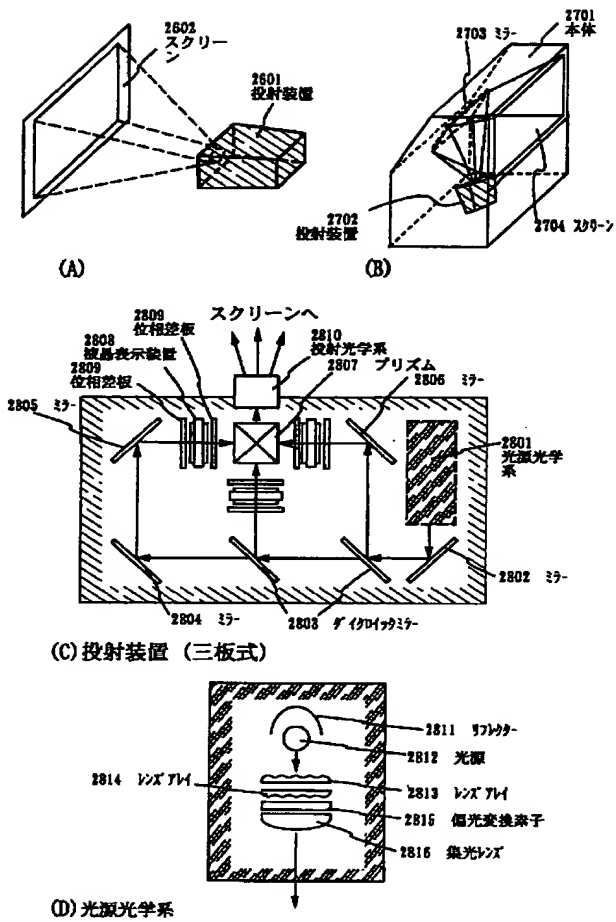


(B)

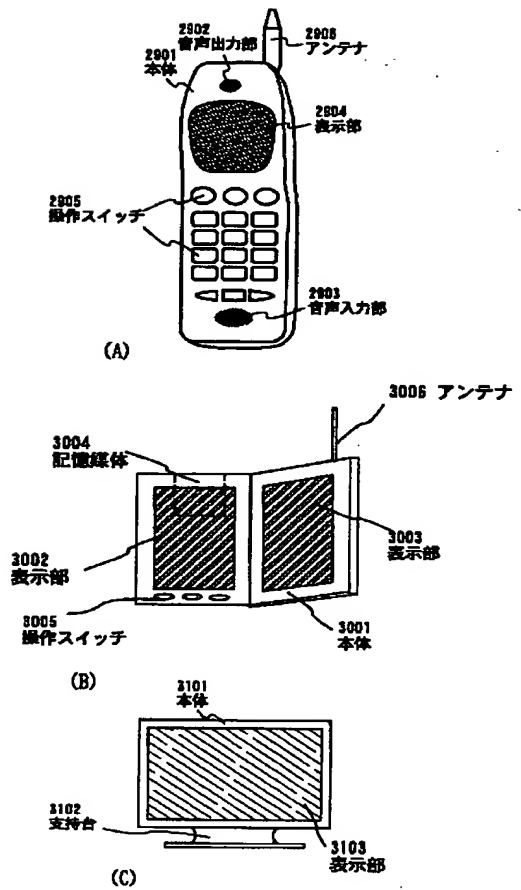
【図 16】



【図 17】



【図 18】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I  
H 0 1 L 29/78

テーマコード (参考)

6 2 7 G



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**